



PATENT ABSTRACTS OF JAPAN

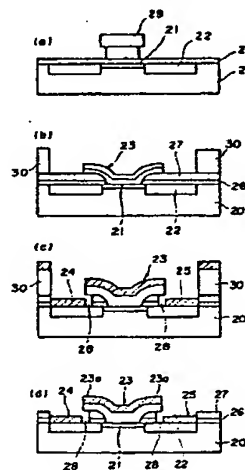
(11) Publication number: **63023367 A**(43) Date of publication of application: **30.01.88**(51) Int. Cl. **H01L 29/80**(21) Application number: **61167286**(22) Date of filing: **16.07.86**(71) Applicant: **SUMITOMO ELECTRIC IND
LTD NIPPON TELEGR & TELEPH
CORP <NTT>**(72) Inventor: **YANO HIROSHI
FUKUDA KEIICHI
EHATA TOSHIKI
YAMAZAKI KIMIYOSHI
KATO NAOKI
HIRAYAMA MASAHIRO****(54) SCHOTTKY GATE FIELD-EFFECT TRANSISTOR
AND MANUFACTURE THEREOF****(57) Abstract:**

PURPOSE: To sufficiently reduce the interval between a gate electrode and an ohmic electrode, to sharply reduce the series resistance between a gate and a source, and the gate and a drain, and to contrive improvement in high frequency characteristics of the title transistor by a method wherein the ohmic electrode is formed in a self-matching manner against a gate electrode.

CONSTITUTION: The first working layer 21 is formed on a substrate 20, ions are implanted in high density, the second working layer 22 is formed on both sides of the working layer 21, and an activation heat treatment is performed subsequently. An insulating film 27 is formed, a resist 29 is removed, an aperture part to be used for Schottky junction is formed, an insulating film 26 is removed using the insulating film 27 as a mask, and the first working layer is exposed. A gate electrode 23 is formed at the aperture part. Then, the insulating films 26 and 27 are removed using the gate electrode 23 and the resist layer 30 as a mask, the second working layer 23 is exposed, and an aperture part to be used for formation of a source and drain electrode is provided. An ohmic metal is deposited on the aperture part, an alloying operation is performed after a lift off method

has been conducted, and a source electrode 24 and a drain electrode 25 are formed on the gate electrode 23 in a selfmatching manner.

COPYRIGHT: (C)1988,JPO&Japio



③

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-23367

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)1月30日

H 01 L 29/80

F-8122-5F

審査請求 未請求 発明の数 2 (全8頁)

⑮ 発明の名称 ショットキーゲート電界効果トランジスタおよびその製造方法

⑯ 特 願 昭61-167286

⑰ 出 願 昭61(1986)7月16日

⑱ 発 明 者 矢 野 浩 大阪府大阪市此花区島屋1丁目1番3号 住友電気工業株式会社大阪製作所内
⑱ 発 明 者 福 田 啓 一 大阪府大阪市此花区島屋1丁目1番3号 住友電気工業株式会社大阪製作所内
⑱ 発 明 者 江 畑 敏 樹 大阪府大阪市此花区島屋1丁目1番3号 住友電気工業株式会社大阪製作所内
⑲ 出 願 人 住友電気工業株式会社 大阪府大阪市東区北浜5丁目15番地
⑲ 出 願 人 日本電信電話株式会社 東京都千代田区幸町1丁目1番6号
⑲ 代 理 人 弁理士 湯浅 恭三 外5名
最終頁に続く

明 細 書

1. (発明の名称)

ショットキーゲート電界効果トランジスタ
およびその製造方法

2. (特許請求の範囲)

(1) 半絶縁性半導体基板表面上に形成された少なくとも2つの部分、すなわち第1の動作層と該第1の動作層に接してその両側に形成されかつ該第1の動作層よりも大きい単位面積当りの不純物量を有する第2の動作層と、

前記各第2の動作層上に大々形成されたソース電極及びドレイン電極と、

前記第1の動作層と直接接する部分、絶縁膜を介して前記第1及び各第2の動作層と接する部分、及び空隙を介して前記各第2の動作層表面上に張出しているオーバーハング部分を含み、前記第1の動作層上に形成されたゲート電極と、を備え、

前記ゲート電極の前記ソース並びにドレイン電極側の両端面は該ゲート電極側の前記ソース並びにドレイン電極の各端面を前記半絶縁性半導体基

板上方に延長した垂直面又はその近傍に形成されており、さらに前記ソース並びにドレイン電極は前記ゲート電極のオーバーハング部分と接触しない厚さで形成されている、ショットキーゲート電界効果トランジスタ。

(2) 半絶縁性半導体基板、その表面上に形成された第1の動作層および該第1の動作層の両側に設けられ、それよりも高不純物濃度の第2の動作層、第2の動作層上にオーミック接続されたソース電極およびドレイン電極ならびに第1の動作層と接すると共に絶縁膜を介して、第2の動作層と接しているゲート電極とで構成されたショットキーゲート電界効果トランジスタの製造方法であって、

形成されたゲート電極をマスクとして前記絶縁膜をエッチングし、前記第2の動作層上に前記ソース並びにドレイン電極形成用の開口部を形成すると共に、さらに前記ゲート電極と前記第2の動作層間に存在する前記絶縁膜の一部を除去して空隙を形成する工程と、

前記絶縁膜の厚さより薄い厚さでオーミック金属を蒸着し、前記開口部に上記ゲート電極に対して自己整合的にソースおよびドレイン電極を形成する工程を含むことを特徴とする上記ショットキーゲート電界効果トランジスタの製造方法。

(3) 上記第1の動作層および第2の動作層の形成をイオン注入法により行うことを特徴とする特許請求の範囲第2項記載の方法。

(4) 上記第1の動作層の形成を、気相エピタキシャル成長法により行うことを特徴とする特許請求の範囲第2項記載の方法。

(5) 上記第1の動作層のゲート電極形成領域の両側にイオン注入することにより第2の動作層を形成することを特徴とする特許請求の範囲第4項記載の方法。

(6) 上記ゲート電極材料がTi/Pt/Au、Pt/Pd/Ni、Pd/Ni/Rh、Ni/AuまたはRh/Auであることを特徴とする特許請求の範囲第2～第5項のいずれか1項に記載の方法。

になっている。

この電界効果型トランジスタはバイポーラトランジスタと比較して、高入力インピーダンスが得られ、低周波雑音が少なく、入力電圧と出力電流との関係が2乗特性に近く、高次の高周波ひずみの発生が少なく、また同時に2つの信号が入力された場合の歪みも小さく、電流の温度依存性が見えるために高い温度安定性を有し、更に多数キャリア素子であるために特性の変動が小さい、などの各種の利点を有している。

このような電界効果トランジスタには、ゲートにpn接合を用いた接合型電界効果トランジスタ(JFET)および絶縁膜を挟んだ絶縁ゲート電界効果トランジスタ(IGFET)などが知られており、後者では絶縁膜として酸化膜を使用することが一般的であることから、MOS(Metal-Oxide-Semiconductor)FETと呼ばれている。これらはチャンネルの形式によってp型あるいはn型に分類され、また動作モードの形式にはデプレッションモードまたはエンハンスメントモードがあり、

3. (発明の詳細な説明)

産業上の利用分野

本発明はショットキーゲート電界効果トランジスタ並びにその製造方法に関するものである。更に詳しくは、雑音特性等において優れたショットキーゲート電界効果トランジスタ並びにこれを高い歩留りで製造する方法に関する。

従来の技術

電界効果トランジスタは半導体基板にオーミック接合されたソースおよびドレインと呼ばれる2つの電極と、ゲートと呼ばれる制御電極とを有する半導体素子であり、古典的なバイポーラトランジスタに代って今日広く使用されるようになってきた。上記電極の中でソースおよびドレインは真空管におけるカソードおよびアノードに大々対応し、一方ゲートはグリッドに相当する機能を果たし、ソース・ドレイン間にこれらを電気的に接続するように設けられたチャンネルと呼ばれる導電層の抵抗を、ゲートに印加された電圧により制御し、ドレイン・ソース間の電流が制御できるよう

後者ではドレイン電極とゲートバイアスの極性が同じであるという特徴を有し、また絶縁ゲート構造との関連により前段出力と直結された集積回路が可能となる。更に、ソース・ドレイン電極が同一平面上に形成できるので集積回路化の場合には素子間の分離が不要となるなどの特徴もある。

従って、MOSFET等の絶縁ゲートFETを構成要素とする集積回路は構造が著しく簡単であり、製造工程もそれに応じて簡便化される。

ところで、ショットキーゲート電界効果トランジスタは上記接合型FETの1変形であり、接合型FETの電極がpn接合であるのに対して金属・半導体の接触により形成されるショットキー接合で構成されるものであり、MES(Metal-Semiconductor)FETとも呼ばれている。そこで本発明では以下これをMESFETと略記するものとする。

このMESFETで使用される半導体材料としてはSiの他GaAs、InPなどのⅢ-V族化合物半導体が利用され、マイクロ波などの超高周波、

高価な素子において、特に有用であるとされている。

従来提案されているMESFETの構造は、添付第2図に示すようなものである。即ち、半導体性半導体基板1とその上に配置された動作層2と、動作層2上に設けられたゲート電極3と、該ゲート電極3の両側において動作層2とオーミック接続されたソース電極4およびドレイン電極5とで構成される。

しかしながら、第2図に示したような構造を有する従来のMESFETはゲート3とソース4との間、あるいはゲート3とドレイン4との間の抵抗値が大きいために、十分に大きな相互コンダクタンス(gm)の値が得られず、また大きなゲート・ソース間直列抵抗のために雑音特性が劣化するなどといった重大な欠点を有していた。特に、ピンチオフ電圧(V_{pi})の絶対値が小さい場合あるいはノーマリオフ型即ちエンハンスメント型MESFETでは以下の式(1)：

$$V_{pi} = V_{bi} - \frac{qNd}{2\epsilon} a, \quad \dots (1)$$

ただし、 V_{bi} ：ビルトイン電圧；

ϵ ：半導体結晶の誘電率；

q ：電荷量；

Nd ：キャリア濃度；

a ：動作層の厚さ

で示されるように、キャリア濃度 Nd あるいは動作層の厚さ a を小さな値としなければならないために、ゲート・ソース間の直列抵抗はより大きな値となり、極めて重大な問題となっていた。

そこで、このような欠点を解決するための1方策として、第3図に示すように、ゲート・ソース間並びにゲート・ドレイン間の動作層領域に高濃度不純物原子を注入し、ゲート・ソース間の直列抵抗を下げる方法が提案されている。

第3図において、ゲート電極3と高濃度動作層領域10とを分離し、かつゲート・ソースまたはゲート・ドレイン間の絶縁性を確保するためにSiN

膜11およびSiO₂膜12が設けられている。特にSiN膜は半導体性半導体基板1にイオン注入により形成した動作層2および動作層10をアニールにより活性化する際の保護膜としても機能するのである。

この従来のMESFETは、例えばまず半導体性基板1上に動作層領域に相当する部分に開口を有するパターンを形成し、これをマスクとして第1回目のイオン注入を行い第1の動作層2を形成し、次いで絶縁膜11を形成する。次いで、ゲート領域にT字型のレジストパターンを形成し、これをマスクとしてイオン注入を行い動作層10を形成する。蒸着法、スパッタ法などにより第2の絶縁膜12を形成し、リフトオフによりレジストを除去、アニール処理してイオン注入領域の活性化並びに結晶性の回復処理を行い、レジストマスクを形成し、ソース電極4ならびにドレイン電極5領域の第1の絶縁膜11および第2の絶縁膜12を除去した後、オーミック金属を蒸着して、上記領域にソース電極4ならびにドレイン電極5を形成する。次

いで第2の絶縁膜12により覆われていない部分の第1の絶縁膜11をエッチングにより除去して、ゲート電極3を形成することにより、第3図に示すような構成のMESFETが得られる。

しかしながら、第3図に示すような構成とした場合には、製造プロセスにおける位置合せ精度が $\pm 0.3 \sim 0.5 \mu m$ と比較的低く、そのためにゲート・オーミック電極間距離 $1 \sim 1.5 \mu m$ 程度とする必要があり、結果的に直列抵抗を高周波動作に充分な程度まで下げることができないことになる。その上、ゲート・ソース間並びにゲート・ドレイン間距離は位置合せの際の誤差に蓋き大きくばらつき、ゲート・ソース間抵抗のばらつきを引起すために、素子の製造歩留りはそれ程満足なものとはいえなかった。

問題が解決しようとする問題点

以上述べたように、MESFETは古典的なバイポーラトランジスタと比較して各種の優れた利点を有することから、最近広く利用されるようになってきたいわゆる電界効果トランジスタの中で

も、マイクロ波などの高周波、高性能素子において有用であるとされ、またより高周波動作性を改善するためにG₀A₀を代表とするⅢ-V族化合物半導体などの利用が検討され、広範な研究がなされている。

しかしながら、従来提案されているMESFETの構造(第2図および第3図参照)では、既に述べたような各種の欠点があり、これを実用化するには更に改良を加え、より満足できる特性のものとする必要がある。

そこで、本発明の目的は、上記の如き従来のMESFETの呈する諸欠点を克服し、実用化するのに充分な程度まで素子特性の改良されたMESFETを提供することである。

本発明のもう一つの目的は、上記のような優れた特性を有するMESFETを高い歩留りで、量産し得るMESFETの製造方法を提供することにある。

さらに本発明の別の目的は、上記各目的を達成する際に製造が容易、特にソース並びにドレイン

電極の形成が容易なMESFET及びその製造方法を提供することである。

問題点を解決するための手段

本発明者等は、MESFETの上記の如き現状に鑑みて、その上記諸欠点を解決すべく種々検討研究した結果、オーミック電極をゲート電極に対して自己整合的に形成することが上記目的を達成する上で極めて有効であることを知り、本発明を完成するに至った。

即ち、本発明のショットキーゲート電界効果トランジスタは、半絶縁性半導体基板、該半導体基板表面上に形成された動作層および該動作層上に形成されたソース電極、ゲート電極並びにドレイン電極を備えたショットキーゲート電界効果トランジスタであって、上記動作層は少なくとも2つの部分、即ち第1の動作層と該第1の動作層に接してその両側に形成されかつ該第1の動作層よりも大きい単位面積当りの不純物量を有する第2の動作層とからなり、前記ゲート電極は前記第1の動作層と直接接する部分、絶縁膜を介して前記第

1及び各第2の動作層と接する部分、及び空隙を介して前記各第2の動作層表面上に突出しているオーバーハング部分を含み、さらに前記ゲート電極の前記ソース並びにドレイン電極間の両端面は該ゲート電極間の前記ソースおよびドレイン電極の各端面を前記半絶縁性半導体基板上方へ延長した垂直面又はその近傍に形成されており、また前記ソース及びドレイン電極は前記ゲート電極のオーバーハング部分と接触しない厚さに形成されている、構造を備えている。

また、本発明のMESFETの製造方法は、形成されたゲート電極をマスクとして絶縁膜をエッチングして第2の動作層上にソース並びにドレイン電極形成用の開口部を形成すると共に、さらに前記ゲート電極と前記第2の動作層間に存在する前記絶縁膜の一部を除去して空隙部を形成する工程と。

前記絶縁膜の厚さより薄い厚さでオーミック金属を蒸着し、前記ゲート電極に対して自己整合的にソースおよびドレイン電極を形成する工程、を

含んでいる。

実施例

本発明のMESFETの構成は、例えば添付第1図(d)を参照することにより最も良く理解することができる。即ち、半絶縁性半導体基板20、例えばCr₂O₃をドーピングしたGaAs、FeをドーピングしたInPなどのように各種不純物をドーピングして半絶縁性化した各種半導体基板と、この半絶縁性半導体基板表面上に形成された第1の動作層21と、この第1の動作層21の両側に形成されかつ該第1の動作層よりも高不純物濃度を有する第2の動作層22と、第2の動作層22と、第1の動作層21上に設けられたゲート電極23、例えばTi/Pt/Auなどと、第2の動作層22上にオーミック接続されたソース電極24およびドレイン電極25、例えばAu-Ge合金などで構成される。この態様ではゲート電極23は第1動作層21と接すると共に、その両側において、絶縁膜26および27を介して第2の動作層22上および空隙28を介して第2の動作層22上に張り出しているオーバーハング部分29。

を含む、構成となっている。さらにゲート電極23のソース並びにドレイン電極側の両端面、即ちオーバーハング部分23aの端面はゲート電極23側のソース電極24の端面並びにドレイン電極25の端面を半絶縁性半導体基板20の上方に延長した垂直面又はその近傍に形成されている。さらに、ソース電極24並びにドレイン電極25はゲート電極23のオーバーハング部分23aと接触しない厚さで形成されている。

上述のようなMOSFETを製造するための本発明の方法は、例えば第1図(a)~(d)に示すような工程に従って実施できる。まず、半絶縁性半導体基板20上に、例えば各種エピタキシャル成長法(ハライド系気相成長法、有機金属エピタキシャル成長法(OMCVD)、分子線エピタキシャル成長法(MBE)などの他、イオン注入法(これはエピタキシャル層の形成後試層に対して行うこともできる)などを利用して第1の動作層21を形成する。更に多層構造レジスト29をマスクとして用いて、イオンを高温度で注入して、第1の動作層21

の両側に第2の動作層22を形成する。これらの動作層の形成は、また、まず基板20の全体に第1の動作層21として比較的低温の不純物濃度のエピタキシャル層を形成し、次いで、レジストマスクを用いて第2の動作層を形成すべき領域に更に高温度でドーピングすることによって実施することもできる。

ここで、イオン注入法を利用する場合には、イオン注入操作に付される半導体結晶(基板)は、その注入領域における結晶性が著しく乱され、特に高濃度イオン注入される第2の動作層では殆ど非晶質状態となってしまうので、この非晶質状態を回復させる処理を行うか、予め保護膜(例えばSiN、SiO₂、SiNO等の非晶質膜)を適用した後、イオン注入操作することにより非晶質化あるいは更に化合物半導体にあつては高蒸気圧成分の蒸発を防止することができる。かくして、不純物ドーピングされた動作層は活性化熱処理(一般に800~900℃で)した後完成される(第1図(a)参照)。

また、活性層をまずエピタキシャル成長法で形成し、次いでイオン注入法を利用して高濃度動作

層を形成する場合、不純物のCrなどが基板から拡散することによって基板・活性層界面に多数の不純物単位が生じ、得られるMOSFETの特性、特にドレイン電流ドリフトや($I_{DS} - VD$)特性にヒステリシスを生じるなど、いわゆるルーピング現象を生ずる可能性があるため通常、高純度・高抵抗バッファ層を1~5μm成長させた後活性層の成長を行う。

第1図(a)の操作において、基板にはSiN膜26を形成した例を示したが、上記の如く他の膜であってもよく、表面劣化の防止を実現し得るものであれば、材質、厚さ等に制限はない。また、上記の如き結晶性の回復処理を施す場合には、この保護膜は不要である。このような構成のいずれも本発明の範囲に含まれ、図示のものに制限されない。

次いで第1図(b)に従って、第1図(a)に示した状態にある中間製品に例えばスパッタ法などにより第2層目のSiO₂等の絶縁膜27を形成し、リフトオフによりレジスト29を除くことにより、ショッ

トキー接合用の開口部を形成し、更にこの絶縁膜27をマスクとして該開口部の第1の絶縁膜26を除去し、第1の動作層を露出させる。ここで、絶縁膜26がSiNである場合には、プラズマエッチング装置を用い、CF₄等のエッチングガスを用いたドライエッチングなどにより上記操作を実施できる。また、SiN以外の保護膜を用いた場合にも公知の方法に従って同様に処理できる。

かくして形成した開口部を含む領域に蒸着法、スパッタリング法、イオンプレーティング法等の成膜法に従ってゲート電極用金属膜を堆積し、次いでリフトオフ法、フォトリソ法などによりゲート電極23を形成する。このゲート金属材料としては、Ti/Pt/Au、Pt/Pd/Ni、Pd/Ni/Rh、Ni/Au、Rh/Auなど良好なショットキー接合性を有する従来公知の任意の材料から適宜選択して使用することができる。

かくして、ゲート電極23を形成した後、フォトリソラフィーにより、レジスト層30を形成する。これは以下で述べるソース・ドレイン電極形成用

の開口部を形成する際のマスクの一部を構成するものであり、ゲート電極に隣接する端部とは反対側においてソース・ドレイン形成領域を面成する機能を果たす。また、基板20上に形成される各素子間の絶縁距離を保障する役割をも演ずる。従って、このレジストとしては以下の絶縁膜のエッチングに対して耐性を有する材料、例えばOFPR800などから選ぶことが好ましい。

更に、第1図(e)に示すように、上記のようにして形成したゲート電極23並びにレジスト層30をマスクとして、例えば反応性イオンエッチング技術などによって絶縁膜27および28(存在する場合)を除去し、高濃度動作層(第2の動作層)22を露出させ、ソース・ドレイン電極形成用の開口部を設ける。この時、ゲート電極23と各第2の動作層22の間に存在する絶縁膜28,27の一部をエッチングにより除去し、ゲート電極下をアンダーカットして空隙28を形成する。このアンダーカットの存在により、リフトオフによるソース並びにドレイン電極の形成が容易となる。次いで該開口部にオー

ミック金属を蒸着、スパッタリング、イオンプレーティング等の各種の方法に従って堆積し、リフトオフした後合金化し、ゲート電極23に自己整合的にソース電極24並びにドレイン電極25を形成する。このソース電極24並びにドレイン電極25の厚さは絶縁膜27および28(存在する場合)の厚さよりも厚く、ゲート電極23と接触しない厚さにする必要がある。一方、ゲート電極23の上にも前記オーミック金属を堆積してゲート電極を完成する。前記オーミック金属としては、例えばAu-Ge系、Au-Ge/Ni系、Ni-Ge系、Au-Cr系、Au-Pl-Cr系などを挙げることができる。

なお、前記実施例において、MESFETの構造及びMESFETの製造方法は単一ゲートの場合について説明したが、複数のゲートを有する場合にも付加的な工程を加えることにより同様に実施できる。

具体例

第1図に示したような構成に従って、本発明によるMESFETを作製した。まず、半絶縁性基

板として半絶縁性のGaAs基板を用い、その上に保護膜としてSiN膜を1,000Åの厚さで蒸着し、この保護膜を介して第1の動作層をイオン注入法に従って形成した。

注入イオン: Si

注入温度: $2 \times 10^{12} / \text{cm}^2$

次いで、フォトリソグラフィによって多層構造を有するレジスト膜(OFPR800、SiNおよびOFPR800)をゲート電極形成領域上に形成し、その両側にイオン注入を行って高温でイオン注入された第2の動作層を形成する。

注入イオン: Si

注入温度: $2 \times 10^{12} / \text{cm}^2$

上記レジストをマスクとしてスパッタ法によりSiO₂膜を2,000Åの厚さで形成し、リフトオフ法によりショットキー接合用開口部を第1の動作層上に形成し、アニール処理を施し、次いでSiO₂絶縁膜をマスクとして動作層上に形成した開口部のSiN膜をエッチングガスとしてCF₄を用いてプラズマエッチング装置により、除去して第1の

動作層を露出させ、しかる後に開口部を含む領域にTi/Pl/Auを蒸着し、リフトオフ法によりゲート電極を形成した。

次いで、別途レジスト膜(OFPR800)を用いてゲート電極と隣接する部分以外のソース・ドレイン電極端部を面成するようにフォトリソグラフィに従ってレジストパターンを形成する。

更に、かくして得たゲート電極並びにレジスト膜をマスクとして、反応性イオンエッチングにより絶縁膜のエッチングを行い、ソース並びにドレイン電極用の開口部と、ゲート電極と第2の動作層との間の該絶縁膜の一部を除去して空隙を形成する。ここではエッチングガスとしてCF₄+O₂系ガスを使用し、ガス圧 2×10^{-3} Torrの下でエッチングを行った。

最後に、オーミック金属としてAu-Ge/Niを蒸着し、リフトオフして前記開口部に該オーミック金属より厚い厚さでソース電極およびドレイン電極パターンを形成した後、オーミック金属の合金化を行うことによって、ゲート電極と自己整合

的にオーミック電極即ちソース電極、ドレイン電極を形成し、本発明によるMESFETを得た。

かくして得られたMESFETはゲート電極・オーミック電極間の間隔を十分に小さくすることができ、またゲート・ソース間並びにゲート・ドレイン間直列抵抗を大抵に低減し、高周波特性の向上を図ることができた。

発明の効果

以上詳しく説明したように、MESFETを本発明の第1図(d)に示すような構成とすることにより、従来のMESFETで問題となっていた、ゲート・ソース間あるいはゲート・ドレイン間の低抵抗値の大きなことに起因する相互コンダクタンス g_m が小さいという問題、ゲート・ソース間の直列抵抗が大きいことによる雑音特性の劣化などを有利に解決することができた。更に本発明のMESFETのゲート電極は空隙を介して各第2の動作層表面上に突出しているオーバーハング部分を含んだ構造であるので、製造が容易であり歩留りの向上を図ることができる。

また、本発明のMESFETの製造方法によれば、ゲート電極をまず形成し、このゲート電極パターンをマスクとして使用する自己整合的なソース・ドレイン電極の形成に基き、従来法にみられた製造プロセス上の位置合せの精度が低く、そのためゲート・オーミック電極間距離を大きくせざるを得ず、高周波動作に十分な直列抵抗が得られないという重大な問題をほぼ解決することができた。また、自己整合的に電極形成を行っているので位置合せ誤差が小さく、その結果ゲート・ソース間抵抗のバラツキも小さいために、著しく改善された素子製造歩留りを達成することができる。さらに、ゲート電極と第2の動作層間に存在する絶縁膜の一部を除去して空隙を形成する工程を含んでいるので、リフトオフによるソース並びにドレイン電極の形成が容易となり、製造技術の向上を図ることができる。

4. (図面の簡単な説明)

第1図(a)~(d)は本発明のMESFETの製造方法を説明するための各工程を模式的に示した断

面図であり、

第2図は従来のMESFETの構成を説明するための模式的な断面図であり、

第3図は別の従来の製造方法により得られたMESFETの構成並びにその有する欠点を説明するための模式的な断面図である。

(主な参照番号)

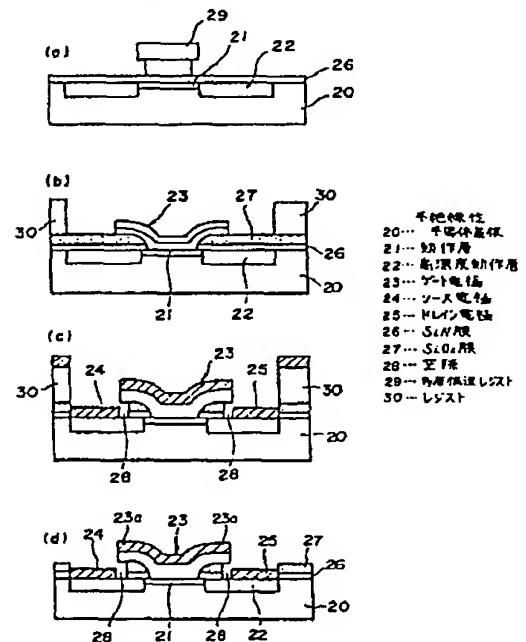
- | | |
|--------------------|------------------------------|
| 1, 20... 半絶縁性半導体基板 | 3, 28... ゲート電極 |
| 2, 21... 動作層 | 5, 25... ドレイン電極 |
| 4, 24... ソース電極 | 10, 22... 高濃度動作層 |
| 11, 28... SiN膜 | 12, 27... SiO ₂ 膜 |
| 23a... オーバーハング部分 | 28... 空隙 |
| 29... 多層構造レジスト | 30... レジスト |

特許出願人 日本電信電話株式会社
同 住友電気工業株式会社

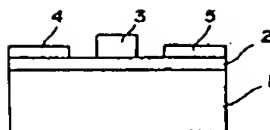
代理人 弁理士 湯 沢 泰 三

(外5名)

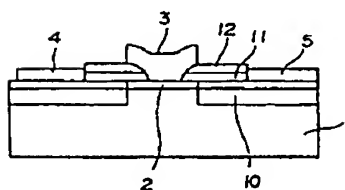
第1図



第 2 図



第 3 図



- 1 ... 半絶縁性半導体基板
 2 ... 動作層
 3 ... ゲート電極
 4 ... ソース電極
 5 ... ドレイン電極
 10 ... 高濃度動作層
 11 ... SiN膜
 12 ... SiO₂膜

第1頁の続き

③発明者	山崎	王 義	神奈川県厚木市森の里若宮3番1号 社厚木電気通信研究所内	日本電信電話株式会
③発明者	加藤	直 規	神奈川県厚木市森の里若宮3番1号 社厚木電気通信研究所内	日本電信電話株式会
③発明者	平山	昌 宏	神奈川県厚木市森の里若宮3番1号 社厚木電気通信研究所内	日本電信電話株式会